
(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000014605 A
(43)Date of publication of application: 15.03.2000

(21)Application number: 1019980034097
(22)Date of filing: 21.08.1998

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: KIM, DONG HYEON
KWON, O IK
LEE, SEONG HO
PARK, SEONG JUN

(51)Int. Cl. H01L 21 /027

(54) METHOD FOR FORMING SELF ALIGN CONTACT OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: The method can decrease the aspect ratio of a gate structure and can prevent the profile damage of a gate electrode according to the crystallization of a gate silicide. CONSTITUTION: A gate structure(106) having a gate poly(102), a gate silicide(103) and a gate mask layer(104) is formed on a semiconductor substrate(100). The gate mask layer is a low temperature oxide formed in the low temperature below 850°C. A silicon nitride film for spacer formation is deposited on the front surface of the semiconductor substrate including the gate structure. An interlayer insulation film(110) is formed on the silicon nitride film. After the interlayer insulation film is etched using the silicon nitride film as an etch stop layer using a contact hole formation mask, the silicon nitride film is etched by etch back process. Thus, a self align contact hole(114) and simultaneously a gate spacer(108a) on both sides of the contact hole are formed.

COPYRIGHT 2000 KIPO

Legal Status

Date of request for an examination (00000000)
Notification date of refusal decision (00000000)
Final disposal of an application (withdrawal)
Date of final disposal of an application (20040720)
Patent registration number ()
Date of registration (00000000)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.
H01L 21/027(11) 공개번호 특2000-0014605
(43) 공개일자 2000년03월15일

(21) 출원번호	10-1998-0034097
(22) 출원일자	1998년08월21일
(71) 출원인	삼성전자 주식회사 윤증용 경기도 수원시 팔달구 매탄3동 416
(72) 발명자	권오익 서울특별시 동대문구 장안3동 장안아파트 45동 503호 박성준 서울특별시 성북구 돈암동 413-90번지 중앙빌라 102호 김동현 서울특별시 관악구 신림8동 1656번지 미성아파트 1동 708호 이성호 경기도 부천시 소사구 송내1동 340번지 우성아파트 3동 706호
(74) 대리인	임창현

심사청구 : 없음

(54) 반도체 장치의 자기정렬 콘택 형성 방법

요약

본 발명은 게이트 전극의 프로파일(profile) 향상시키는 반도체 장치의 자기정렬 콘택 형성 방법에 관한 것으로, 반도체 기판 상에 게이트 폴리, 게이트 실리콘사이드, 그리고 게이트 마스크층을 갖는 게이트 구조물이 형성된다. 이때, 게이트 마스크층은 850°C 이하의 저온에서 형성되는 저온 산화막이다. 게이트 구조물을 포함하여 반도체 기판 전면에 스페이서 형성을 실리콘 질화막이 증착된다. 실리콘 질화막 상에 통간절연막이 형성된다. 콘택홀 형성 마스크를 사용하여 실리콘 질화막을 식각 정지층으로 사용하여 통간절연막이 식각된 후, 실리콘 질화막이 에치 백 공정으로 식각된다. 이로써, 자기정렬 콘택홀과, 동시에 콘택홀의 양측벽에 게이트 스페이서가 형성된다. 이와 같은 반도체 장치의 제조 방법에 의해서, 게이트 마스크층을 저온에서 형성함에 따라, 게이트 실리콘사이드의 결정화에 따른 게이트 구조물의 프로파일 손상을 방지할 수 있고, 게이트 마스크층의 두께를 감소함에 따라 게이트 구조물의 증착비를 감소시킬 수 있으며, 따라서 후속 통간절연막 형성시 보이드 발생을 방지할 수 있다. 또한, 게이트 스페이서 및 자기정렬 콘택홀을 동시에 형성함으로써 공정을 단순화시킬 수 있다.

도면도

도면

도면

도면의 주요부분에 대한 설명

도 1a 내지 도 1f는 종래의 반도체 장치의 자기정렬 콘택 형성 방법의 공정들을 순차적으로 보여주는 흐름도.

도 2a 내지 도 2d는 본 발명의 실시예에 따른 반도체 장치의 자기정렬 콘택 형성 방법의 공정들을 순차적으로 보여주는 흐름도.

* 도면의 주요 부분에 대한 부호의 설명

- | | |
|---------------------|---------------------|
| 1, 100 : 반도체 기판 | 2, 102 : 게이트 폴리 |
| 3, 103 : 게이트 실리콘사이드 | 4, 104 : 게이트 마스크층 |
| 6, 106 : 게이트 구조물 | 6a, 106a : 게이트 스페이서 |
| 10, 110 : 통간절연막 | 12, 112 : 포토레지스트 패턴 |
| 14, 114 : 콘택홀 | 16, 116 : 패드 |

도면의 상세한 설명

본명의 목적

본명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조 방법에 관한 것으로, 좀 더 구체적으로는 게이트 전극의 프로파일(profile)을 향상시키는 자기정렬 콘택 형성 방법에 관한 것이다.

현재 256M DRAM 이상의 집적도를 갖는 메모리 제품에서는 실리콘 기판에 트랜지스터(transistor)를 형성한 후, 후속 콘택 공정에서의 정렬 마진(align margin)을 확보하기 위해 SAC(self align contact) 공정을 적용하고 있다.

상기 SAC 공정은 실리콘 질화막(SiN) 과 산화막(oxide)의 식각 선택비(etch selectivity)를 이용하여 실제 액티브 오픈 크기(active open size)에 의한 정렬 마진 보다 더 큰 정렬 마진을 확보할 수 있는 방법이다.

도 1a 내지 도 1f는 종래의 반도체 장치의 자기정렬 콘택 형성 방법의 공정들을 순차적으로 보여주는 흐름도이다.

도 1a를 참조하면, 종래의 반도체 장치의 자기정렬 콘택 형성 방법은, 반도체 기판(1)에 소자격리막(도면에 미도시)이 형성된 후, 반도체 기판(1) 상에 게이트 구조물(gate structure)(6)이 형성된다.

상기 게이트 구조물(6) 형성 공정은 먼저, 반도체 기판(1) 상에 게이트 도전막인 게이트 폴리(2) 및 게이트 실리콘사이드(3), 그리고 게이트 마스크층(4)이 차례로 형성된다. 이때, 상기 게이트 실리콘사이드(3) 및 게이트 폴리(2)를 식각 하기 위한 게이트 마스크층(4)은 실리콘 질화막(4a) 및 산화막(4b)이 차례로 적층된 다층 절연막으로 형성된다. 특히, 상기 실리콘 질화막(4a)은 후속 SAC 식각 공정에서 식각 정지층(etch stop layer)으로 사용된다.

상기 실리콘 질화막(4a)은 LPCVD(low pressure CVD) 방법으로 형성되고, 상기 산화막(4b)은 고온 공정으로 형성되는 HTO(high temperature oxide)막이다.

다음, 게이트 마스크(gate mask)를 사용하여 상기 게이트 마스크층(4), 게이트 실리콘사이드(3), 그리고 게이트 폴리(2)가 패터닝(patterning)된다.

도 1b에 있어서, 상기 게이트 구조물(6)을 포함하여 반도체 기판(1) 전면에 실리콘 질화막(8)이 증착된 후, 스페이서 식각 공정을 통해 식각 된다. 그 결과, 도 1c에 도시된 바와 같이, 상기 게이트 구조물(6)의 양측벽에 게이트 스페이서(gate spacer)(8a)가 형성된다.

도 1d를 참조하면, 상기 반도체 기판(1) 전면에 산화막인 층간절연막(10)이 증착 된다. 상기 층간절연막(10)은 CMP(chemical mechanical polishing) 공정 등에 의해 평탄한 상부 표면을 갖도록 형성된다.

상기 층간절연막(10) 상에 SAC를 형성하기 위한 식각 마스크인 포토레지스트 패턴(12)이 형성된 모습이 도 1e에 나타나 있다.

마지막으로, 상기 포토레지스트 패턴(12)을 마스크로 사용하여 인접한 게이트 스페이서(8a) 사이의 반도체 기판(1)의 상부 표면이 노출될 때까지 상기 층간절연막(10)이 식각 되어 자기정렬 콘택홀(14)이 형성 된다. 이때, 상기 게이트 스페이서(8a)는 상기 게이트 마스크층(4)과 함께 식각 정지층으로 사용된다. 특히, 상기 게이트 스페이서(8a)는 게이트 상부의 숄더(shoulder) 부위가 노출되는 것을 방지한다.

상기 콘택홀(14)이 도전막으로 채워져서 패드(16)가 형성되면 도 1f에 도시된 바와 같이, 반도체 장치의 자기정렬 콘택이 완성된다.

그러나, 상술한 바와 같은 종래 반도체 장치의 자기정렬 콘택 형성 방법에 있어서 다음과 같은 문제점이 발생된다.

첫째, 게이트 마스크층(4)으로 실리콘 질화막(4a) 및 HTO막의 다층 절연막을 사용하게 되면 게이트 구조물(6)의 증착비(aspect ratio)가 커지게 된다. 게이트 구조물(6)의 증착비의 증가는 후속 층간절연막(10) 증착시 좁은 간격과 큰 단차로 인해 필링을 어렵게 하여 보이드(void) 등의 불량을 유발하게 된다.

또한, 큰 증착비는 게이트 폴리(2) 식각시 플라스마(plasma) 내의 미온의 스퍼터링(ion sputtering) 효과를 유발하고, 그 결과 게이트 실리콘사이드(3)와 게이트 폴리(2)의 계면의 나침(notching)이 발생하는 등 불량을 유발하게 된다.

둘째, 게이트 마스크층(4)으로 실리콘 질화막(4a) 및 HTO막(4b)을 사용하게 되면 막질의 증착시 고온(850℃ 이상) 공정이 수행되어, 게이트 마스크층(4) 보다 먼저 증착된 게이트 실리콘사이드(3)가 결정화(crystallization) 된다. 결정화된 게이트 실리콘사이드는 식각 공정시 게이트 폴리(2)에 결정화된 그레인(grain)의 형상을 간사하여 표면 물포로지(surface morphology)를 불량하게 한다. 그리고, 이러한 물포로지 불량은 게이트 폴리(2) 하부의 얇은 게이트 산화막(도면에 미도시)까지 간사되어 서브 실리콘(sub silicon)이 패이는 피팅(pitting) 불량을 유발하게 된다.

셋째, 게이트 패터닝 식각 공정 후, 암모니아(NH₃), 과산화수소(H₂O₂), 그리고 D.I 워터(deionized water)의 혼합 용액을 사용하여 세정 공정(cleaning process)이 수행된다. 이때, 결정화된 게이트 실리콘사이드가 결정 단위로 떨어져 나가기 때문에 막의 손실(loss)이 심하게 된다.

본명이 이루고자 하는 기술적 과제

본 발명은 상술한 제반 문제점을 해결하기 위해 제안된 것으로서, 게이트 구조물의 증착비를 감소시킬 수 있고, 게이트 실리콘사이드의 결정화에 따른 게이트 전극의 프로파일 손상을 방지할 수 있는 반도체 장치의

자기정렬 콘택 형성 방법을 제공함에 그 목적이 있다.

본 발명의 다른 목적은 게이트 스페이서 및 자기정렬 콘택홀을 동시에 형성할 수 있는 반도체 장치의 자기정렬 콘택 형성 방법을 제공함에 있다.

발명의 구성 및 작용

(구성)

상술한 목적을 달성하기 위한 본 발명에 의하면, 반도체 장치의 자기정렬 콘택 형성 방법은, 반도체 기판(100) 상에 차례로 형성된 폴리실리콘막(102), 실리콘사이드막(103), 그리고 제 1 절연막(104)을 갖는 도전 구조물(106)을 형성하는 단계; 상기 제 1 절연막(104)은 상기 실리콘사이드막(103)이 결정화되는 온도 보다 낮은 온도에서 형성되고, 상기 도전 구조물(106)을 포함하여 반도체 기판(100) 전면에 스페이서 형성을 위한 제 2 절연막(108)을 형성하는 단계; 상기 제 2 절연막(108) 상에 중간절연막(110)을 형성하는 단계; 콘택홀 형성 마스크를 사용하여 인접한 도전 구조물(106) 사이의 반도체 기판(100)의 일부가 노출될 때까지 중간절연막(110) 및 제 2 절연막(108)을 차례로 식각 하여 콘택홀(114)을 형성하는 단계를 포함한다. 이때, 상기 제 2 절연막(108)은 중간절연막(110)과 식각 선택비를 갖는 막질로 형성된다.

이 방법의 바람직한 실시예에 있어서, 상기 제 1 절연막(104)은 850°C 이하의 저온에서 형성된다.

이 방법의 바람직한 실시예에 있어서, 상기 제 1 절연막(104)은 상기 도전 구조물(106)의 증착비(aspect ratio)를 줄이기 위해 약 2500 Å의 두께 이하로 형성되고, 상기 제 2 절연막(108)은 약 1000 Å 두께로 형성된다.

이 방법의 바람직한 실시예에 있어서, 상기 콘택홀(114) 형성 단계는, 상기 제 2 절연막(108)을 식각 정지층으로 사용하여 중간절연막(110)을 식각 하는 단계; 및 상기 제 2 절연막(108)을 상기 제 1 절연막(104)과 적어도 1 : 1 이상의 식각 선택비를 갖는 조건으로 식각 하는 단계를 포함한다.

이 방법의 바람직한 실시예에 있어서, 상기 콘택홀(114) 형성시 제 2 절연막(108)이 식각 되어 상기 도전 구조물(106)의 양측벽에 절연 스페이서(108a)가 형성된다.

(작용)

도 2d를 참조하면, 본 발명의 실시예에 따른 신규한 반도체 장치의 자기정렬 콘택 형성 방법은, 게이트 마스크층을 저온에서 형성함에 따라, 게이트 실리콘사이드의 결정화에 따른 게이트 구조물의 포스트파일 손상을 방지할 수 있다. 그리고, 게이트 마스크층의 두께를 감소함에 따라 게이트 구조물의 증착비를 감소시킬 수 있고, 따라서 후속 중간절연막 내의 보이드를 방지할 수 있다. 또한, 게이트 스페이서 및 자기정렬 콘택홀을 동시에 형성함으로써 공정을 단순화시킬 수 있다.

(실시예)

이하, 도 2를 참조하여 본 발명의 실시예를 상세히 설명한다.

도 2a 내지 도 2d는 본 발명의 실시예에 따른 반도체 장치의 자기정렬 콘택 형성 방법의 공정을 순차적으로 보여주는 흐름도이다.

도 2a를 참조하면, 본 발명의 실시예에 따른 반도체 장치의 자기정렬 콘택 형성 방법은 먼저, 반도체 기판(100) 상에 활성 영역(active region)과 비활성 영역(inactive region)을 정의하기 위해 소자격리막(도면에 미도시)이 형성된다. 상기 소자격리막은 예를 들어, 트렌치 격리(trench isolation) 공정으로 형성된다.

상기 활성 영역 상에 게이트 구조물(106)이 형성된다. 즉, 상기 반도체 기판(100) 상에 게이트 도전막인 게이트 폴리(102) 및 게이트 실리콘사이드(103), 그리고 게이트 마스크층(104)이 차례로 형성된다. 이때, 본 발명에 따른 게이트 마스크층(104)은 산화막인 단일 절연막으로 형성되고, 이 산화막은 저온 공정의 PECVD(plasma enhanced CVD) 방법으로 증착 된다. 상기 게이트 마스크층(104)을 단일 절연막으로 형성하면, 그 두께를 약 2500 Å 이하로 함으로써 게이트 구조물(106)의 증착비를 감소시키게 된다. 또한, 상기 게이트 마스크층(104)이 850°C 이하의 온도 예를 들어, 200°C에서 형성됨에 따라, 증착의 문제점인 게이트 실리콘사이드(103)의 결정화가 방지된다.

상기 게이트 구조물(106)의 증착비 감소 및 게이트 실리콘사이드(103)의 비결정화에 따라 게이트 식각 공정이 용이하게 된다.

상기 게이트 실리콘사이드(103)는 예를 들어, 텅스텐 실리콘사이드(W-silicide)이다.

다음, 게이트 마스크를 사용하여 상기 게이트 마스크층(104), 게이트 실리콘사이드(103), 그리고 게이트 폴리(102)가 패터닝 된다.

도 2b에 있어서, 상기 게이트 구조물(106)을 포함하여 반도체 기판(100) 전면에 스페이서 형성을 위한 절연막 여기서는, 실리콘 질화막(108)이 증착 된다. 이 실리콘 질화막(108)은 후속 SAC 식각 공정시 식각 정지층으로 사용되며, SAC 식각 공정의 능력에 따라 그 두께가 결정된다. 이때, 증착 되는 실리콘 질화막(108)은 LPCVD 방법 등과 같은 고온 공정으로 형성되어도 무방하다. 그 이유는 게이트 구조물(106)이 이미 완성된 상태이므로, 상기 게이트 실리콘사이드(103)가 결정화된다 하더라도 문제가 발생되지 않기 때문이다.

다음, 상기 실리콘 질화막(108) 상에 중간절연막(110)이 증착된 후, 그 상부 표면이 CMP 공정에 의해 평탄화 식각 된다. 게이트 구조물(106)의 증착비가 감소됨에 따라, 상기 중간절연막(110) 형성시 보이드 발생이 억제된다.

상기 중간절연막(110) 상에 SAC를 형성하기 위한 식각 마스크인 포토레지스트 패턴(112)이 형성된 모습이

도 2c에 도시되어 있다.

마지막으로, 상기 포토레지스트 패턴(112)을 마스크로 사용하여 인접한 게이트 구조물(106) 사이의 반도체 기판(100)의 일부가 노출될 때까지 중간절연막(110) 및 실리콘 질화막(108)이 차례로 식각된다. 먼저, 상기 실리콘 질화막(108)을 식각 정지층으로 사용하여 상기 중간절연막(110)이 식각된다. 다음, 상기 실리콘 질화막(108)이 에치 백(etch-back) 공정으로 식각된다. 그러면, 자기정렬 콘택홀(114)과, 동시에 콘택홀(114)의 양측벽에 게이트 스페이서(108a)가 형성된다.

여기서, 상기 중간절연막(110)은 상기 실리콘 질화막(108)과 높은 식각 선택비를 갖는 조건으로 식각되며 상기 실리콘 질화막(108)의 손실이 최소화 되도록 해야 한다. 만일, 상기 중간절연막(110) 식각시 실리콘 질화막(108)이 모두 손실되며 게이트 마스크층(104)의 산화막이 노출되면, 실리콘 질화막(108)의 식각률보다 산화막의 식각률이 훨씬 크므로 게이트 실리콘사이드(103)까지 쉽게 노출되게 된다. 그러면, 이 노출된 게이트 실리콘사이드(103)와 후속 패드 폴리머가 전기적으로 접속되는 문제점이 발생된다.

또한, 상기 실리콘 질화막(108)은 산화막과의 식각 선택비가 1 : 1 이상의 조건으로 식각 되도록 하며 게이트 마스크층(104)인 산화막이 노출되더라도 게이트 실리콘사이드(103)가 노출되지 않도록 한다.

상기 콘택홀(114)이 도전막으로 채워져서, 패드(116)가 형성되면 도 2d에 도시된 바와 같이, 본 발명에 따른 반도체 장치의 자기정렬 콘택이 완성된다.

발명의 효과

본 발명은 게이트 마스크층을 저온에서 형성함에 따라, 게이트 실리콘사이드의 결정화에 따른 게이트 구조물의 프로파일 손상을 방지할 수 있는 효과가 있다. 그리고, 게이트 마스크층의 두께를 감소함에 따라 게이트 구조물의 증착비를 감소시킬 수 있고, 따라서 후속 중간절연막 내의 보이드를 방지할 수 있는 효과가 있다.

본 발명은 게이트 스페이서 및 자기정렬 콘택홀을 동시에 형성함으로써 공정을 단순화시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

반도체 기판(100) 상에 차례로 형성된 폴리실리콘막(102), 실리콘사이드막(103), 그리고 제 1 절연막(104)을 갖는 도전 구조물(106)을 형성하는 단계;

상기 제 1 절연막(104)은 상기 실리콘사이드막(103)이 결정화되는 온도 보다 낮은 온도에서 형성되고;

상기 도전 구조물(106)을 포함하여 반도체 기판(100) 전면에서 스페이서 형성을 제 2 절연막(108)을 형성하는 단계;

상기 제 2 절연막(108) 상에 중간절연막(110)을 형성하는 단계;

콘택홀 형성 마스크를 사용하여 인접한 도전 구조물(106) 사이의 반도체 기판(100)의 일부가 노출될 때까지 중간절연막(110) 및 제 2 절연막(108)을 차례로 식각 하여 콘택홀(114)을 형성하는 단계를 포함하고,

상기 제 2 절연막(108)은 중간절연막(110)과 식각 선택비를 갖는 막질로 형성되는 반도체 장치의 자기정렬 콘택 형성 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 절연막(104)은 850°C 이하의 저온에서 형성되는 반도체 장치의 자기정렬 콘택 형성 방법.

청구항 3

제 1 항에 있어서,

상기 제 1 절연막(104)은 PECVD 방법으로 증착 되는 산화막인 반도체 장치의 자기정렬 콘택 형성 방법.

청구항 4

제 1 항에 있어서,

상기 제 1 절연막(104)은 상기 도전 구조물(106)의 증착비(aspect ratio)를 줄이기 위해 약 2500Å의 두께 이하로 형성되고, 상기 제 2 절연막(108)은 약 1000Å 두께로 형성되는 반도체 장치의 자기정렬 콘택 형성 방법.

청구항 5

제 1 항에 있어서,

상기 콘택홀(114) 형성 단계는, 상기 제 2 절연막(108)을 식각 정지층으로 사용하여 중간절연막(110)을 식각 하는 단계; 및

상기 제 2 절연막(108)을 상기 제 1 절연막(104)과 적어도 1 : 1 이상의 식각 선택비를 갖는 조건으로 식각 하는 단계를 포함하는 반도체 장치의 자기정렬 콘택 형성 방법.

청구항 6

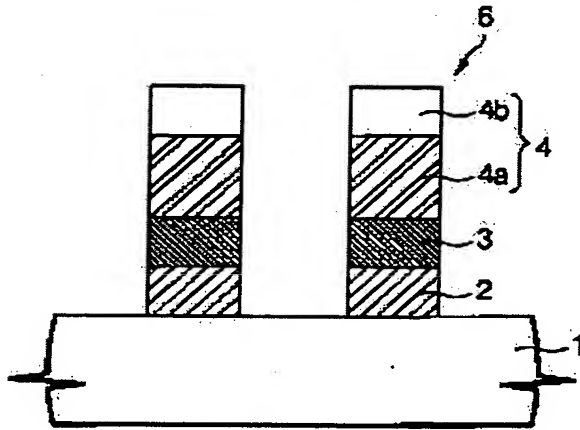
제 1 항에 있어서,

상기 콘택홀(114) 형성시 제 2 절연막(108)이 이방성 식각 되어 상기 도전 구조물(106)의 양측벽에 절연 스페이서(108a)가 형성되는 반도체 장치의 자기정렬 콘택 형성 방법.

도면

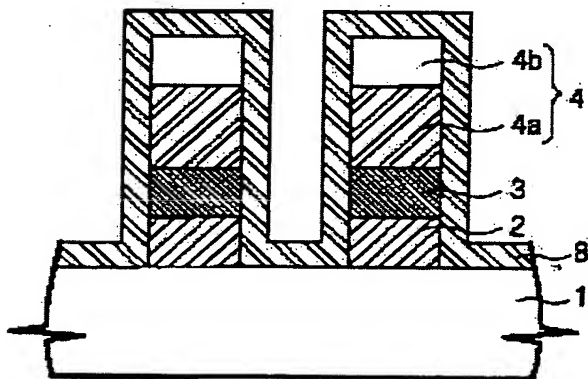
도면 1a

(종래기술)



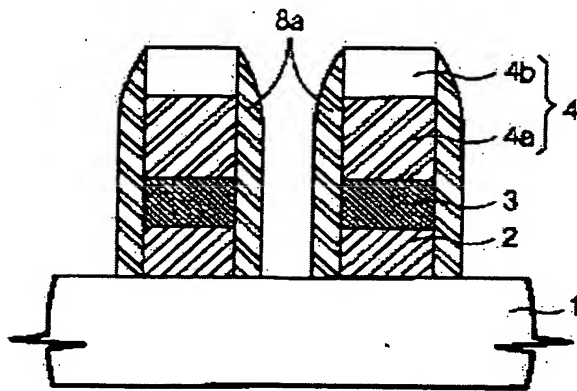
도면 1b

(종래기술)



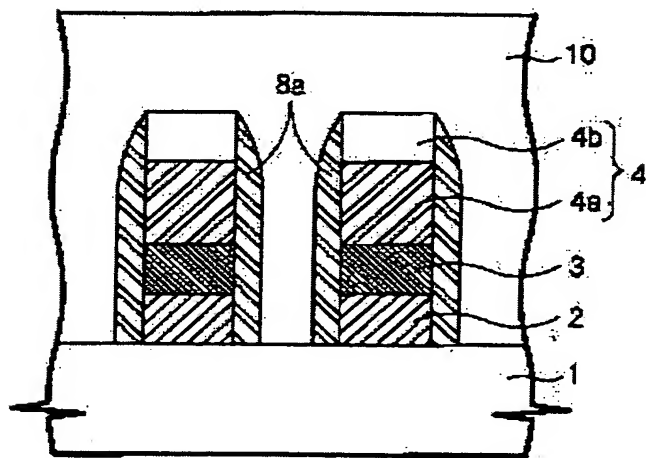
도면 1c

(종래기술)



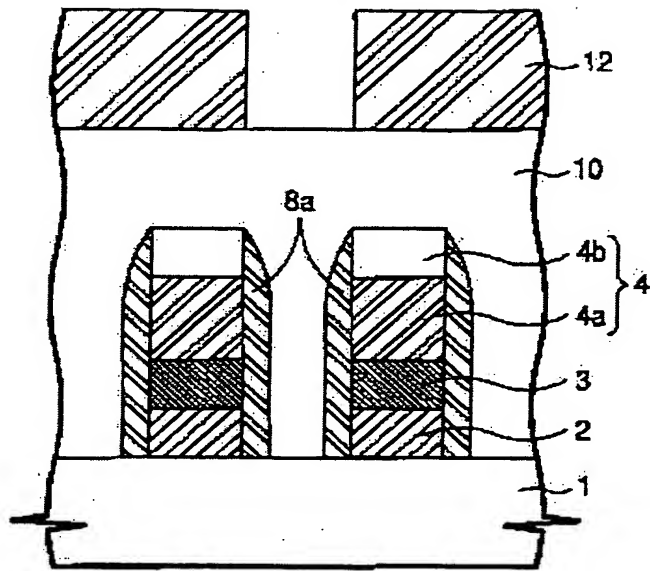
도면 1d

(종래기술)



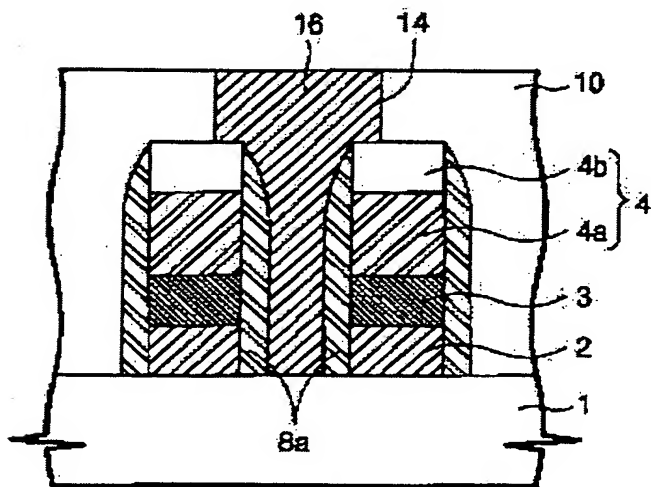
도면 1a

(증래기술)

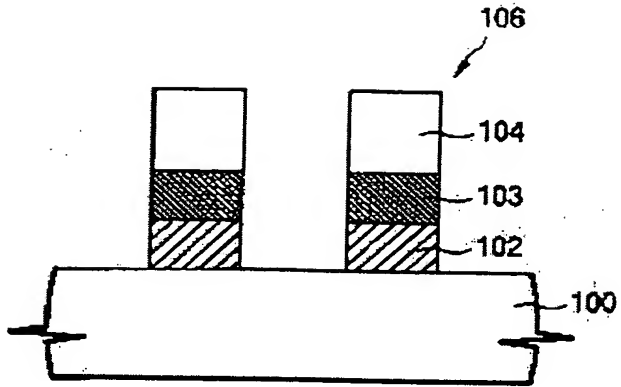


도면 11

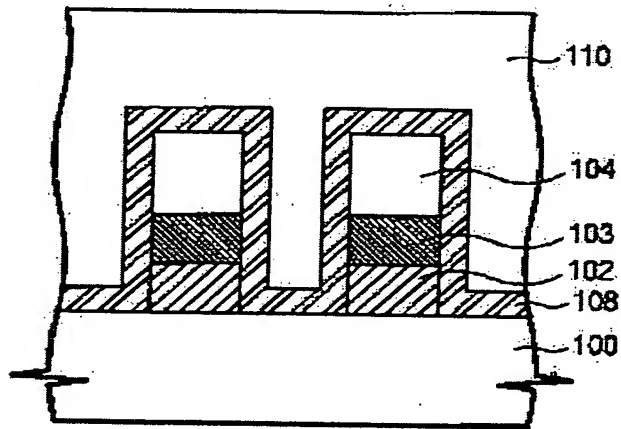
(증래기술)



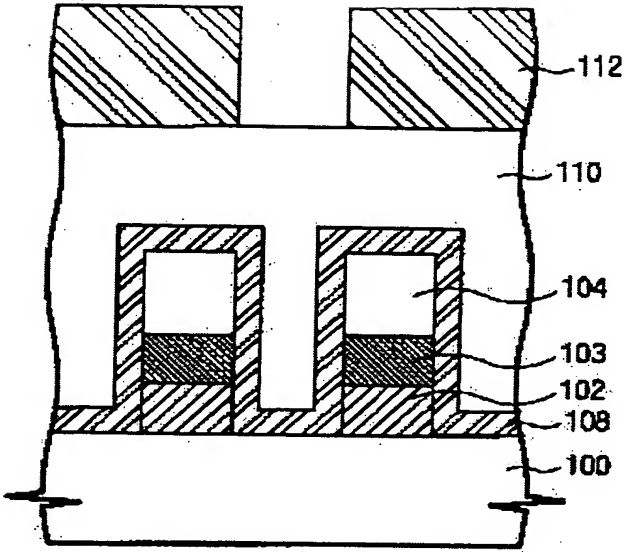
582a



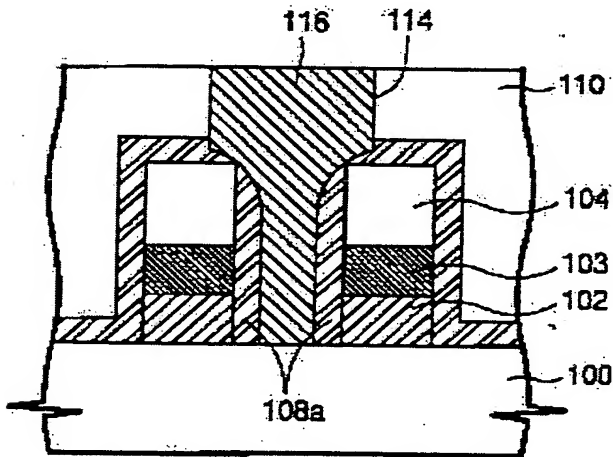
582b



5B2b



5B2d



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.